

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-189737

(43) 公開日 平成9年(1997)7月22日

(51) Int. Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R	31/02		G 0 1 R	31/02
	31/00			31/00
G 0 2 F	1/1345		G 0 2 F	1/1345

審査請求 未請求 請求項の数 1 O L (全 3 頁)

(21) 出願番号 特願平8-2866

(22) 出願日 平成8年(1996)1月11日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 植田 希給

神奈川県横浜市中区吉田町292番地株式

会社日立製作所生産技術研究所内

(72) 発明者 奥中 正昭

神奈川県横浜市中区吉田町292番地株式

会社日立製作所生産技術研究所内

(72) 発明者 吉見 健二

神奈川県横浜市中区吉田町292番地株式

会社日立製作所生産技術研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

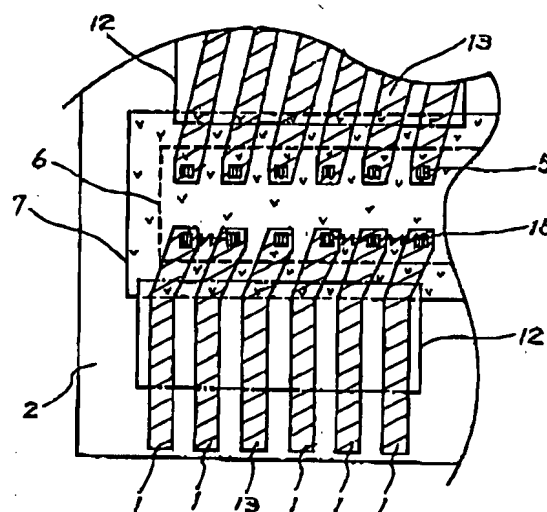
(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【課題】 点灯試験時に非点灯となる接続状態にある液晶パネル駆動用半導体チップを特定し、液晶パネル駆動用半導体チップリペアへのフィードバックを早くする。

【解決手段】 液晶パネル1を構成する下側電極基板2上に液晶パネル駆動用半導体チップ6内で短絡している複数の電極15に対応して下側基板に個別の金属薄膜配線1、13をパターン状に形成する。金属薄膜配線13とチップ6の電極5、及び金属薄膜配線1とチップ6の電極15とを導電性接続部材7により電気的に接続する。

図 3



**【特許請求の範囲】**

**【請求項 1】** 液晶パネルを構成する片側の回路基板上に液晶パネル駆動用の半導体チップを搭載した液晶表示素子において、少なくとも 1 か所で複数の電極によりチップ内部で短絡された液晶パネル駆動用の半導体チップと、前記半導体チップ内で短絡した複数の電極に対応するすべて個別の接続部及び金属薄膜配線を有する液晶パネルとが、導電性接続部材により接続されていることを特徴とする液晶表示素子。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、特に液晶パネルを構成する片側の回路基板上に液晶パネル駆動用半導体チップを搭載した液晶表示素子に関する。

**【0002】**

**【従来の技術】** 従来、液晶表示パネルは金属薄膜配線をパターン状に形成した一方の基板の該金属薄膜配線上に、液晶パネル駆動用半導体チップ（以下 IC と称す）内電極中の少なくとも 1 か所が複数の電極により IC 内部で短絡された IC を直接接続した構造よりなる。（図 1、図 2）

図 1 はガラスからなる下側基板 2 及び上側基板 4 の内面には透明電極 9、10 が形成され、これら上側、下側基板 2、4 間には液晶 8 が封入され、その周囲をシール剤 3 で封止して液晶パネルを形成している。下側基板 2 上には、金属薄膜配線 11 が形成されている。また金属薄膜配線 11 を外部環境から保護するため、これを絶縁性保護膜 12 で被覆していた。

**【0003】** 図 2 は IC 接続部周辺の説明図で、IC 6 内で短絡のない独立した電極 5 は導電性接続部材 7 を介してそれぞれ個別接続部を有する金属薄膜配線 13 上に固定接続されている。また、IC 内で短絡している複数の電極 15 は導電性接続部材 7 を介して、接続面積を確保するために複数の IC 内短絡電極 15 に対応した一括した接続部を有する金属薄膜配線 14 と接続していた。

**【0004】**

**【発明が解決しようとする課題】** 従来例では搭載した IC の COG（チップオンガラス）接続状態の評価を搭載直後ではなく、液晶モジュール組立ての最終工程の点灯試験ではじめて IC の COG 接続状態の良否を判断していた。このため IC 内の各電極と下側基板とが電気的にどんな接続状態にあるかはこれまで正確に把握されていないということ、また IC リペアへのフィードバックをかけるまでに時間がかかるという点で問題があった。

**【0005】** 本発明の目的は搭載した IC の COG 接続状態の個別評価と、IC リペアへのフィードバックを早くすることにある。

**【0006】**

**【課題を解決するための手段】** まず、IC の COG 接続状態を電気的に測定可能とするために、図 3 に示すよう

に、IC 6 内の複数の短絡電極 15 と接続される下側基板 2 上の金属薄膜配線において、該 IC 6 内短絡電極 15 の各電極に対応して全て個別の接続部を有する金属薄膜配線 1 を形成する。次に導電接続部材 7 を介して下側基板に IC 6 を搭載する。絶縁性保護膜 12 に覆われていない 2 本の金属薄膜配線 1 の終端部に抵抗測定用のプローブを接触させ 2 端子法により抵抗測定を行うことができる。これにより COG 接続部分の抵抗測定管理を行うことが可能となる。

**【0007】** IC 内各短絡電極に対して全て個別の対向する接続部を有する金属薄膜配線を設けることにより、金属薄膜配線と IC 内各短絡電極毎の接続部との抵抗を 2 端子法により測定することができるため、点灯試験前に接続状態のよくない IC を特定できる。

**【0008】**

**【発明の実施の形態】** 本発明による一実施例を図を用いて説明する。通常の方法によりアモルファスシリコンを用いた TFT 液晶セルを作製した。

**【0009】** 図 3 に本発明による液晶表示素子の IC 接続部周辺の説明図を示す。まず、下側基板 2（旭ガラス製 AN-635）上にスパッタ法とエッチングにより金属薄膜配線 1、13（例えば、第一層目の膜厚 100 nm、シート抵抗 1 オームのクロム層に第二層目の膜厚 100 nm、シート抵抗 20 オームの酸化インジウム層を積層したもの）及び絶縁性保護膜 12（膜厚 1300 nm の窒化珪素）を形成して下側回路基板を作製した。次いで下側回路基板上に導電性接続部材 7（日立化成製 AC-8301X）をセッティングした。次に IC 6 を COG 接続用ボンダー装置により搭載した。絶縁性保護膜 12 に覆われていない 2 本の金属薄膜配線 1 の終端部に、抵抗測定用プローブを接触させ 2 端子法により抵抗値を測定し、COG 接続状態の良否を判定した。2 端子法により測定した抵抗値が、IC 内各短絡電極間及び接続部の抵抗値 1 オームに、2 本の金属薄膜配線の配線抵抗値を加味した抵抗値の範囲内にあるとき、COG 接続状態を良品と判定した。更に本実施例による抵抗測定管理による結果がその後の点灯試験において反映されることを確認した。

**【0010】**

**【発明の効果】** 本発明によればこれまで電気的に正確に把握されていなかった搭載 IC の COG 接続評価を、搭載直後に個別の IC 内各短絡電極接続部の抵抗測定管理により行うことができるため、IC リペアへのフィードバックを早くすることが可能である。

**【図面の簡単な説明】**

**【図 1】** 従来及び本発明における液晶表示素子の断面図。

**【図 2】** 従来における液晶表示素子の搭載 IC 接続部周辺の説明図。

**【図 3】** 本発明による液晶表示素子の搭載 IC 接続部周

辺の説明図。

【符号の説明】

1…金属薄膜配線、

2…下側基板、

5…電極、

6…半導体チップ、

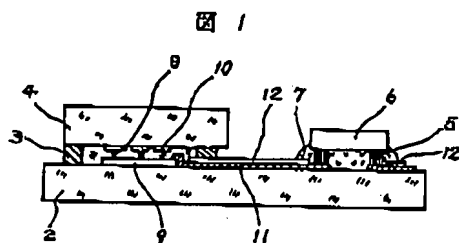
7…導電性接続部材、

12…絶縁性保護膜、

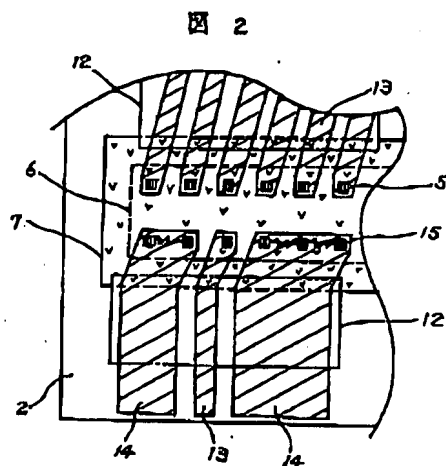
13…金属薄膜配線、

15…IC内短路電極。

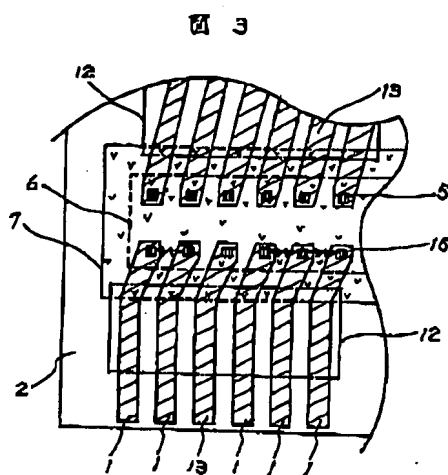
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 諫田 尚哉

神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

(72)発明者 折橋 律郎

神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内